

SOLID-STATE IMAGE PICKUP DEVICE

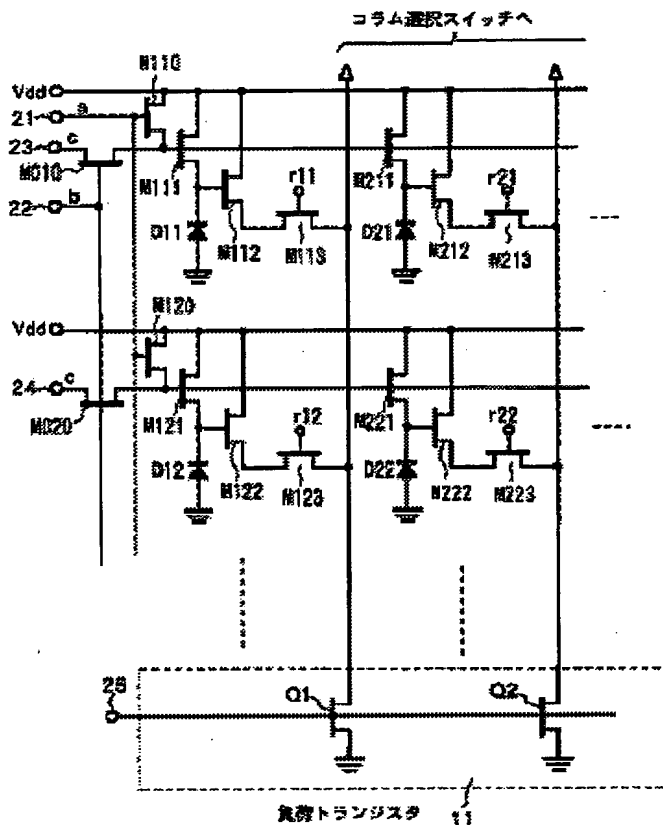
Patent number: JP2001339639
Publication date: 2001-12-07
Inventor: SETODA MASAZUMI
Applicant: VICTOR CO OF JAPAN LTD
Classification:
 - international: H04N5/335; H01L27/146; H01L31/10
 - european:
Application number: JP20000154023 20000525
Priority number(s):

Report a data error here

Abstract of JP2001339639

PROBLEM TO BE SOLVED: To provide a solid-state image pickup device that can select the most suitable pixel configuration in accordance with the intended use, while in the prior art different pixel configurations must be selected in accordance with the intended use since a dynamic range is too small for APS with a linear amplifier, and contrast is so bad for APS with a log amplifier as to have a problem with image quality.

SOLUTION: A transistor M110 (M120) that is controlled for switching on or off applying of power source and voltage Vdd at the same time to gates of transistors M111 and M211 (M121 and M222) disposed on the same line out of transistors M111 to M221 for resetting so that the transistors M111 and M211 (M121 and M222) may operate in a sub-threshold area, and a transistor M010 (M020) that is controlled for switching on or off applying of a reset pulse at the same time to the gates of transistors M111 and M211 (M121 and M222) are provided. These transistors are controlled selectively so that one transistor may be turned on and the other may be turned off.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-339639

(P2001-339639A)

(43) 公開日 平成13年12月7日 (2001.12.7)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 4 N 5/335		H 0 4 N 5/335	E 4 M 1 1 8
H 0 1 L 27/146		H 0 1 L 27/14	A 5 C 0 2 4
31/10		31/10	G 5 F 0 4 9

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2000-154023 (P2000-154023)

(22) 出願日 平成12年5月25日 (2000.5.25)

(71) 出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72) 発明者 瀬戸田 正純

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(74) 代理人 100085235

弁理士 松浦 兼行

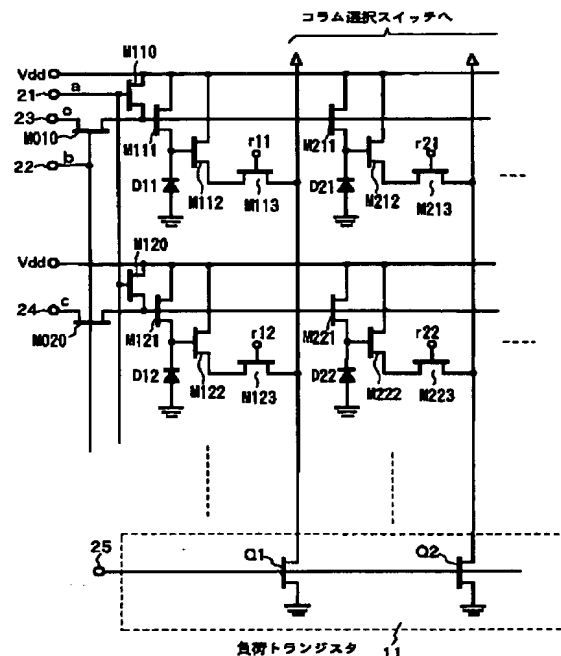
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 リニアアンプを用いたAPSでは、ダイナミックレンジが足りず、ログアンプを用いたAPSでは、コントラストが悪く、画質に問題があるため、従来では、使用目的に応じて画素部を別々の構成としなければならない。

【解決手段】 リセット用トランジスタM111～M221のうち、同じ行に配列されたトランジスタM111とM211 (M121とM222) のゲートに、このトランジスタをサブスレッショルド領域で動作する電源電位Vddを同時に印加するオン状態か、あるいはオフ状態にスイッチング制御される、トランジスタM110 (M120) と、トランジスタM111とM211 (M121とM222) のゲートに、リセットパルスを同時に印加するオン状態か、あるいはオフ状態にスイッチング制御される、トランジスタM010 (M020) を設ける。これらのトランジスタは、一方をオン状態、他方をオフ状態に選択制御される。



【特許請求の範囲】

【請求項1】 二次元マトリクス状に配列された複数の画素をそれぞれ構成する複数のフォトダイオードのカソード電位を、対応するソースフォロウ回路を通して映像信号として出力する画素部を備えた固体撮像装置において、前記複数のフォトダイオードの各カソード側に設けられた、リセットパルスによりスイッチングする複数のリセット用トランジスタと、
前記複数のリセット用トランジスタのうち、同じ行に配列された複数のリセット用トランジスタのゲートに、このリセット用トランジスタをオン状態となる以前のサブスレッシュホールド領域で動作させるべく電源電圧を同時に印加するオン状態か、あるいはこの電源電圧の印加を禁止するオフ状態にスイッチング制御される、各行毎に設けられた第1のスイッチング用トランジスタと、
前記複数のリセット用トランジスタのうち、同じ行に配列された複数のリセット用トランジスタのゲートに、前記リセットパルスを同時に印加するオン状態か、前記リセットパルスの通過を阻止するオフ状態にスイッチング制御される、各行毎に設けられた第2のスイッチング用トランジスタとを有し、手動又は自動により前記第1及び第2のスイッチング用トランジスタの一方をオン状態、他方をオフ状態に選択制御することを特徴とする固体撮像装置。

【請求項2】 前記映像信号の1フィールド又は1フレーム内の最大輝度と最小輝度の差を求め、その差が予め設定した参照電圧以上かどうかに応じて異なる論理値の信号を出力する電圧比較回路と、前記電圧比較回路の出力信号の論理値に応じて前記第1及び第2のスイッチング用トランジスタの一方をオン状態、他方をオフ状態に選択制御するスイッチング信号を出力する切替回路とを有することを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記切替回路は、前記差が前記参照電圧以上である撮像場面のダイナミックレンジが大きいときの第1の論理値の前記電圧比較回路の出力信号が入力されたときには、前記第1のスイッチング用トランジスタをオン、前記第2のスイッチング用トランジスタをオフとするスイッチング信号を出力して前記画素部をログアンプによる動作をさせ、前記差が前記参照電圧未満である撮像場面のダイナミックレンジが小さいときの第2の論理値の前記電圧比較回路の出力信号が入力されたときには、前記第1のスイッチング用トランジスタをオフ、前記第2のスイッチング用トランジスタをオンとするスイッチング信号を出力すると共に、前記リセットパルスを出力して前記画素部をリニアアンプによる動作をさせることを特徴とする請求項2記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は固体撮像装置に係り、特にCMOSイメージセンサと称する固体撮像装置

に関する。

【0002】

【従来の技術】 従来の固体撮像装置（CMOSイメージセンサ）は、規則的に配列された多数の画素のフォトダイオードで光電変換されて得られた信号を、画素部で検出・増幅して撮像信号として出力する。従来の固体撮像装置の画素部の各画素は、図3（a）に示す等価回路のリニアアンプを用いたアクティブピクセルセンサ（APS）か、同図（b）に示す等価回路のログアンプを用いたAPSにより構成されている。

【0003】 ここで、図3（a）に示すリニアアンプを用いたAPSでは、電界効果トランジスタ（FET）M1とM2の各ドレインが電源電圧V_{dd}に接続され、トランジスタM1のソースとトランジスタM2のゲートが、画素を構成するフォトダイオードD1のカソードに接続されている。更に、トランジスタM2のソースが、トランジスタM3のドレイン、ソースを通して出力側に接続されている。

【0004】 このリニアアンプを用いたAPSの動作について説明するに、まず、トランジスタM1のゲートに端子1を介してリセットパルスが印加され、トランジスタM1がオンになり、トランジスタM1のドレイン、ソースを介してフォトダイオードD1のカソードの電圧が電源電位V_{dd}にされる（リセットされる）。なお、このとき、トランジスタM3はオフである。続いて、トランジスタM1のゲートへのリセットパルスが消失してトランジスタM1がオフとなり、これにより、フォトダイオードD1のカソード電位がV_{dd}に維持される。

【0005】 この状態で、フォトダイオードD1に光が照射され、フォトダイオードD1が入射光を光電変換して、照射光量（強度×時間）に比例した電荷QがフォトダイオードD1に蓄積され、フォトダイオードD1のカソードの電位がQ/Cなる電圧変化を起こす（ただし、CはフォトダイオードD1の容量である。）。

【0006】 その後、水平ライン読み出しのためのスイッチングパルスが端子2を介してトランジスタM3のゲートに印加されることにより、フォトダイオードD1の上記のカソード電圧変化分が、トランジスタM2と負荷トランジスタ（図示せず）からなるソースフォロウ回路及びトランジスタM3を通して映像信号として出力される。

【0007】 次に、図3（b）に示すログアンプを用いたAPSでは、電界効果トランジスタ（FET）M4とM5の各ドレインとM4のゲートが電源電圧V_{dd}に接続され、トランジスタM4のソースとトランジスタM5のゲートが、画素を構成するフォトダイオードD1のカソードに接続されている。更に、トランジスタM5のソースが、トランジスタM3のドレイン、ソースを通して出力側に接続されている。

【0008】 このログアンプを用いたAPSの動作につ

いて説明するに、トランジスタM4のゲートには一定の電源電圧V_{dd}がバイアス電圧として印加されており、トランジスタM4はオン状態となる以前のサブスレッショルド領域で動作する。このサブスレッショルド領域では、ドレイン電流はゲート・ソース間の電圧に対して、指数関数的に増大する（対数曲線を示す）。

【0009】従って、この状態でフォトダイオードD1に光が照射されると、フォトダイオードD1で光電変換された電流が流れ、この時のM4のソース電圧-D1の光電流（ドレイン電流）の関係は、対数曲線を示し、非常に広いダイナミックレンジが得られる。この時のフォトダイオードD1のカソード電圧は、水平ライン読み出しのためのスイッチングパルスが端子2を介してトランジスタM3のゲートに印加されてM3がオンされることにより、トランジスタM5と負荷トランジスタ（図示せず）からなるソースフォロワ回路及びトランジスタM3を通して映像信号として出力される。このログアンプを用いたAPSでは、120dBのダイナミックレンジのものが報告されている（佐々木正明他、「対数圧縮CMOSイメージセンサとその応用」、IPU99-63）。

【0010】

【発明が解決しようとする課題】しかるに、上記のリニアアンプを用いたAPSによる画素部を有する従来の固体撮像装置では、画質は良いが、ダイナミックレンジが足りないという問題がある。一方、上記のログアンプを用いたAPSによる画素部を有する従来の固体撮像装置では、広いダイナミックレンジが得られる反面、コントラストが悪く、画質に問題がある。このため、従来の固体撮像装置では、使用目的に応じて、画質を優先するときには、画素部をリニアアンプを用いたAPSとし、ダイナミックレンジを優先するときには、画素部をログアンプを用いたAPSとする別々の構成としなければならない。

【0011】本発明は以上の点に鑑みなされたもので、使用目的に応じて最適な画素構成を選択し得る固体撮像装置を提供することを目的とする。

【0012】また、本発明の他の目的は、省電力化を図り得る固体撮像装置を提供することにある。

【0013】

【課題を解決するための手段】本発明は上記の目的を達成するため、二次元マトリクス状に配列された複数の画素をそれぞれ構成する複数のフォトダイオードのカソード電位を、対応するソースフォロワ回路を通して映像信号として出力する画素部を備えた固体撮像装置において、複数のフォトダイオードの各カソード側に設けられた、リセットパルスによりスイッチングする複数のリセット用トランジスタと、複数のリセット用トランジスタのうち、同じ行に配列された複数のリセット用トランジスタのゲートに、このリセット用トランジスタをオン状態となる以前のサブスレッショルド領域で動作させるべ

く電源電圧を同時に印加するオン状態か、あるいはこの電源電圧の印加を禁止するオフ状態にスイッチング制御される、各行毎に設けられた第1のスイッチング用トランジスタと、複数のリセット用トランジスタのうち、同じ行に配列された複数のリセット用トランジスタのゲートに、リセットパルスを同時に印加するオン状態か、リセットパルスの通過を阻止するオフ状態にスイッチング制御される、各行毎に設けられた第2のスイッチング用トランジスタとを有し、手動又は自動により第1及び第2のスイッチング用トランジスタの一方をオン状態、他方をオフ状態に選択制御する構成としたものである。

【0014】この発明では、第1のスイッチング用トランジスタをオフ状態、第2のスイッチング用トランジスタをオン状態としたときには、複数のリセット用トランジスタのゲートにリセットパルスが第2のスイッチング用トランジスタを通して同時に印加されるようにできるため、このときにはリニアアンプを用いた画素動作をさせることができる。また、第1のスイッチング用トランジスタをオン状態、第2のスイッチング用トランジスタをオフ状態に制御したときには、同じ行の複数のリセット用トランジスタのゲートには、第1のスイッチング用トランジスタを通して電源電圧がそれぞれ印加されて、オン状態となる以前のサブスレッショルド領域でリセット用トランジスタを動作させるため、ログアンプを用いた画素動作をさせることができる。また、このときリセットパルスを不要にできる。

【0015】また、本発明は上記の目的を達成するため、映像信号の1フィールド又は1フレーム内の最大輝度と最小輝度の差を求め、その差が予め設定した参照電圧以上かどうかに応じて異なる論理値の信号を出力する電圧比較回路と、電圧比較回路の出力信号の論理値に応じて上記の第1及び第2のスイッチング用トランジスタの一方をオン状態、他方をオフ状態に選択制御するスイッチング信号を出力する切替回路とを有する構成としたものである。

【0016】この発明では、撮像する画面内のダイナミックレンジに応じて、第1のスイッチング用トランジスタをオン状態、かつ、第2のスイッチング用トランジスタをオフ状態に自動的に制御するか、又は第1のスイッチング用トランジスタをオフ状態、かつ、第2のスイッチング用トランジスタをオン状態に自動的に制御することができる。

【0017】

【発明の実施の形態】次に、本発明の実施の形態について図面と共に説明する。図1は本発明なる固体撮像装置の一実施の形態のブロック図を示す。同図において、画素部10は多数の画素が二次元マトリクス状に配列されており、各画素は後述の図2に示すように、リニアアンプを用いたAPSと、ログアンプを用いたAPSのいずれか一方に選択される構成とされ、更にロー（Row）

選択スイッチ、リセットスイッチ、方式選択スイッチなども含まれている。

【0018】また、画素部10は負荷トランジスタ11に接続される一方、垂直シフトレジスタ(VSR)12からの垂直パルスがロー選択スイッチに供給され、水平シフトレジスタ(HSR)13からの水平パルスがコラム(Column)選択スイッチ14を介して供給され、更に負荷11にも供給される。更に、この実施の形態は、コラム選択スイッチ14の出力映像信号と端子16からの参照電圧とを比較する電圧比較回路15と、電圧比較回路15の出力電圧に応じて、画素部10へ出力するスイッチングパルスa、方式選択パルスb及びリセットパルスcの論理値を変化させる切替回路17とを有している。

【0019】図2は画素部10及び負荷トランジスタ11の各一部の実施の形態の回路図を示す。図2には画素部10の4画素分の画素回路を示している。すなわち、フォトダイオードD11、D12、D21及びD22と、これらフォトダイオードD11、D12、D21及びD22のカソードにソースが接続されているトランジスタ(FET)M111、M121、M211及びM221と、これらフォトダイオードD11、D12、D21及びD22のカソードにゲートが接続されているトランジスタ(FET)M112、M122、M212及びM222とが、上記の4つの画素を構成している。

【0020】また、トランジスタ(FET)M113、M123、M213及びM223は、上記の4つの画素に対応したロー選択スイッチで、それらのゲートには端子r11、r12、r21、r22には、図1の垂直シフトレジスタ12からの垂直パルスが印加される。また、垂直方向に配列されたトランジスタM113、M123等のソースは負荷トランジスタQ1のドレインに接続され、垂直方向に配列されたトランジスタM213、M223等のソースは負荷トランジスタQ2のドレインに接続されている。ソースが接地されているこれらの負荷トランジスタQ1、Q2は、ゲートが端子25に共通接続されており、この端子25には一定のバイアス電圧が常時印加され、定電流源として動作するようにされている。

【0021】このような画素回路に加えて、本実施の形態では、第1行に配列されているトランジスタM111、M211等の各ゲートが、スイッチング用トランジスタ(FET)M110のソースとトランジスタ(FET)とM010のソースにそれぞれ接続されている。同様に、第2行に配列されているトランジスタM121、M221等の各ゲートが、スイッチング用トランジスタ(FET)M120のソースとトランジスタ(FET)M020のソースにそれぞれ接続されている。更に、トランジスタM110、M120の各ゲートは端子21に共通接続されており、トランジスタM010、M020の各ゲートは端子22に共通接続されている。

【0022】次に、この実施の形態の動作について説明する。いま、撮影場面が暗く、画質を優先したいときには、切替回路17からローレベルのスイッチングパルスaと、ハイレベルのスイッチングパルスbが出力されると共に、リセットパルスcが順次に出力される。上記のローレベルのスイッチングパルスaは、図2の端子21を介してトランジスタM110、M120等のゲートに印加されて、これらのトランジスタM110、M120をオフとする。また、これと同時に、上記のハイレベルのスイッチングパルスbは、図2の端子22を介してトランジスタM010、M020等のゲートに印加されて、これらのトランジスタM010、M020等をオンとする。

【0023】この状態で、切替回路17からのハイレベルのリセットパルスcが端子23、24等から、オン状態にあるトランジスタM010、M020等を介して同じ水平ライン(行)にあるトランジスタM111、M212等、M121、M222等をそれぞれオンとして、それらのトランジスタM111、M212、M121、M222等のドレイン、ソースを介してフォトダイオードD11、D21、D12、D22等のカソードの電圧が電源電位Vddにされる(リセットされる)。なお、このとき、トランジスタM131、M213、M123、M223はオフである。続いて、上記のリセットパルスcが消失してトランジスタM1がオフとなり、これにより、フォトダイオードD1のカソード電位がVddに維持される。

【0024】この状態で、フォトダイオードD11、D21、D12、D22等に光が照射され、フォトダイオードD11、D21、D12、D22等が入射光を光電変換して、照射光量(強度×時間)に比例した電荷QがフォトダイオードD11、D21、D12、D22等に蓄積され、フォトダイオードD11、D21、D12、D22等のカソードの電位が Q/C なる電圧変化を起こす。

【0025】その後、図1の垂直シフトレジスタ12からのハイレベルの垂直パルスが、ある1水平走査期間(1H)は、端子r11、r21等を介して1行目の同じ水平方向に配列されたトランジスタM113、M213等のゲートに印加されて、これらのトランジスタをオンとするため、この1H期間では、1行目の水平方向に配列されているフォトダイオードD11、D21の上記のカソード電圧変化分が、トランジスタM113、M213等と負荷トランジスタQ1、Q2等からなるソースフォロワ回路を通して、図1のコラム選択スイッチ14へ映像信号として出力される。コラム選択スイッチ14からは同じ水平ライン上の多数のフォトダイオードからの電圧変化分が、1H内の映像期間内で順次切替出力される。

【0026】次の1H期間では、垂直シフトレジスタ1

2からのハイレベルの垂直パルスが、端子r12、r22等を介して2行目の水平方向に配列されたトランジスタM123、M223等のゲートに印加されて、これらのトランジスタをオンとするため、この1H期間では、2行目の水平方向に配列されているフォトダイオードD12、D22の上記のカソード電圧変化分が、トランジスタM123、M223等と負荷トランジスタQ1、Q2等からなるソースフォロワ回路を通して、図1のコラム選択スイッチ14へ映像信号として出力される。コラム選択スイッチ14からは2行目の水平ライン上の多数のフォトダイオードからの電圧変化分が、1H内の映像期間内で順次切替出力される。

【0027】以下、上記と同様の動作が繰り返される。このようにして、上記の場合は、リニアアンプを用いたAPSによる動作が行われる。この動作状態において、例えば、太陽光や電球等明るい物体が撮影場面の中に入ってきた場合、コラム選択スイッチ14から出力された映像信号の、1フィールド（フレーム）内の最大照度と最低照度に対応する各信号電圧レベルの差が大きくなる。電圧比較回路15では、この差を求め、更にこの差が端子16を介して入力される参照電圧と比較して、これよりも大きい時には、明るい場面であると判断して、ハイレベルの信号を切替回路17へ出力する。

【0028】切替回路17はこのハイレベルの信号入力により、ハイレベルのスイッチングパルスaと、ローレベルのスイッチングパルスbを出力する。上記のハイレベルのスイッチングパルスaは、図2の端子21を介してトランジスタM110、M120等のゲートに印加されて、これらのトランジスタM110、M120等をオンとする。また、これと同時に、上記のローレベルのスイッチングパルスbは、図2の端子22を介してトランジスタM010、M020等のゲートに印加されて、これらのトランジスタM010、M020等をオフとする。

【0029】トランジスタM110、M120がオンとなると、リセットパルスがゲートに印加されるべきトランジスタM111、M211、M120、M221等のゲートには、リセットパルスに代えてトランジスタM110、M120のドレイン、ソースを介して電源電圧Vddがバイアス電圧として印加され、トランジスタM111、M211、M120、M221等はオン状態となる以前のサブスレッショルド領域で動作する。このサブスレッショルド領域では、ドレイン電流はゲート・ソース間の電圧に対して、指数関数的に増大する（対数曲線を示す）。

【0030】従って、この状態でフォトダイオードD11、D21、D12、D22に光が照射されると、フォトダイオードD11、D21、D12、D22で光電変換された電流が流れ、この時のM111、M211、M120、M221のソース電圧-D11、D21、D12、D22の光電流（ドレイン電流）の関係は、対数曲

線を示し、非常に広いダイナミックレンジが得られる。

【0031】その後、前述したように、図1の垂直シフトレジスタ12からのハイレベルの垂直パルスに基づき、ある1H期間では、1行目の水平方向に配列されているフォトダイオードD11、D21のカソード電圧変化分が、トランジスタM113、M213等と負荷トランジスタQ1、Q2等からなるソースフォロワ回路を通して、図1のコラム選択スイッチ14へ映像信号として出力され、次の1H期間では、2行目の水平方向に配列されているフォトダイオードD12、D22のカソード電圧変化分が、トランジスタM123、M223等と負荷トランジスタQ1、Q2等からなるソースフォロワ回路を通して、図1のコラム選択スイッチ14へ映像信号として出力される。

【0032】コラム選択スイッチ14からは2行目の水平ライン上の多数のフォトダイオードからの電圧変化分が、1H内の映像期間内で順次切替出力される。以下、上記と同様の動作が繰り返される。このようにして、高輝度の物体があるダイナミックレンジの広い場面では、ログアンプを用いたAPS動作を画素部10に行わせることができる。この動作状態において、トランジスタM010及びM020はオフとされているため、リセットパルスcによる動作は行われず、リセット回路の停止による省電力化を図ることができる。

【0033】上記のログアンプを用いたAPSによる動作状態において、明るい物体が無い撮影場面に移った場合は、コラム選択スイッチ14から出力された映像信号の、1フィールド（フレーム）内の最大照度と最低照度に対応する各信号電圧レベルの差が小さくなる。このとき、電圧比較回路15は、この差が端子16を介して入力される参照電圧よりも小さくなり、暗い場面であると判断して、ローレベルの信号を切替回路17へ出力する。

【0034】この結果、切替回路17は、ローレベルのスイッチングパルスaと、ハイレベルのスイッチングパルスbを出力すると共に、リセットパルスcが順次に出し、画素部10を前述したリニアアンプを用いたAPSの動作に切替制御する。

【0035】このように、本実施の形態によれば、撮影画面の明るさ（あるいはダイナミックレンジ）に応じて簡単にログアンプからリニアアンプへ、あるいはその逆に切り替えることができ、また、この切り替えに際しては、画素部10の各行毎に2個のトランジスタM010（M020）及びM110（M120）を設けるだけでよい。画素部10の開口率の低下やデバイス面積の増大によるコストの上昇が実質上ない。

【0036】なお、本発明は上記の実施の形態に限定されるものではなく、例えばリニアアンプとして使用するか、ログアンプとして使用するかを切り替えを手動で行うようにしてもよい。

【0037】

【発明の効果】以上説明したように、本発明によれば、画素部をリニアアンプを用いた画素動作か、ログアンプを用いた画素動作を選択的に実行するため、高画質の撮影がしたいときにはリニアアンプを用いた画素動作に、高輝度の物体があるときにはダイナミックレンジの広いログアンプを用いた画素動作というように、一つの装置で撮影対象に応じた最適な撮像動作を選択することができる。

【0038】また、本発明によれば、上記の選択動作は第1のトランジスタと第2のトランジスタを各行毎に追加するだけでよいので、画素部の開口率の低下や、固体撮像装置デバイス面積の増大によるコスト上昇を実質的にゼロに抑えることができる。

【0039】更に、本発明によれば、ログアンプを用いた画素動作をさせるときには、リセットパルスを不要にできるため、リセット回路の停止による省電力化を実現できる。

【図面の簡単な説明】

【図1】本発明の一実施の形態のブロック図である。

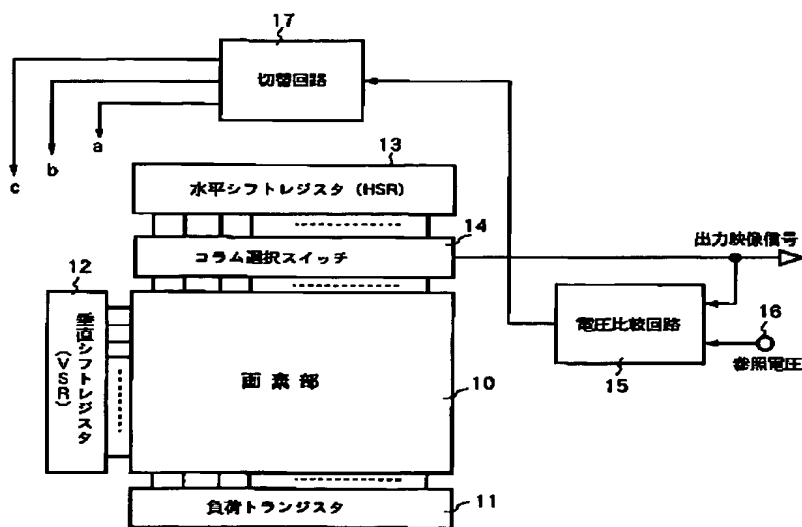
【図2】図1中の画素部と負荷トランジスタの各一部の一実施の形態の回路図である。

*【図3】従来の一画素回路の各例の等価回路図である。

【符号の説明】

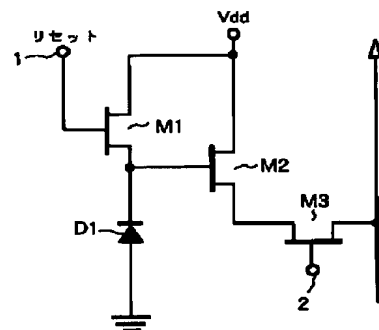
- 10 画素部
- 11 負荷トランジスタ
- 12 垂直シフトレジスタ (VSR)
- 13 水平シフトレジスタ (HSR)
- 14 コラム選択スイッチ
- 15 電圧比較回路
- 16 参照電圧入力端子
- 17 切替回路
- 21、22 スイッチング信号入力端子
- 23、24 リセットパルス入力端子
- M010、M020 リセット回路動作制御用スイッチングトランジスタ
- M110、M120 リニアアンプ・ログアンプ切替用トランジスタ
- M111、M211、M121、M221、M112、M212、M122、M222 トランジスタ
- M113、M213、M123、M223 ロー選択スイッチ用トランジスタ
- D11、D21、D12、D22 フォトダイオード

【図1】

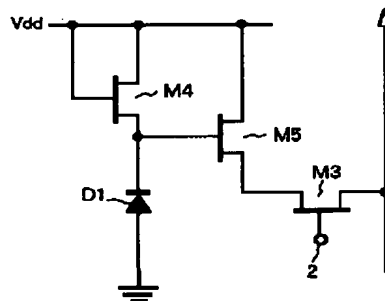


【図3】

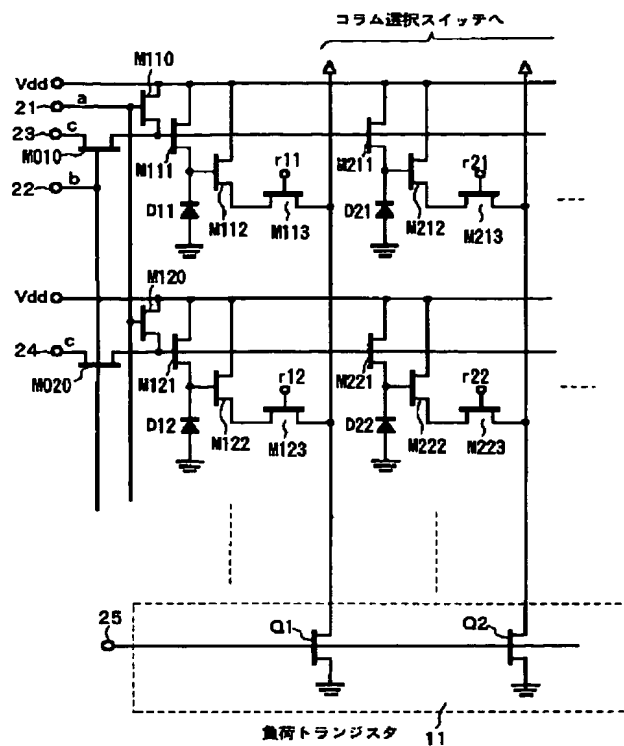
(a) リニアアンプを用いた CMOS APS の等価回路



(b) ログアンプを用いた CMOS APS の等価回路



【図2】



フロントページの続き

Fターム(参考) 4M118 AA02 AA04 AA10 AB01 BA14
 CA02 DD09 DD12 FA06
 5C024 CX00 CX43 GX03 GX16 GY31
 HX17 HX20 HX29 HX40 HX50
 5F049 MA01 NA20 NB05 UA01 UA05
 UA13 UA14